

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/001702

International filing date: 04 February 2005 (04.02.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-036723
Filing date: 13 February 2004 (13.02.2004)

Date of receipt at the International Bureau: 10 March 2005 (10.03.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

17.2.2005

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 2 月 1 3 日
Date of Application:

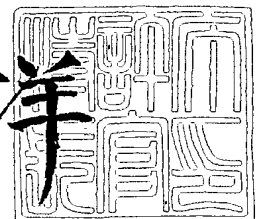
出 願 番 号 特 願 2 0 0 4 - 0 3 6 7 2 3
Application Number:
[ST. 10/C] : [J P 2 0 0 4 - 0 3 6 7 2 3]

出 願 人 日本電気株式会社
Applicant(s): NEC化合物デバイス株式会社

2 0 0 4 年 1 0 月 8 日

特許庁長官
Commissioner,
Japan Patent Office

小 川 洋



【書類名】 特許願
【整理番号】 33410001
【提出日】 平成16年 2月13日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/20
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 中田 武志
【発明者】
 【住所又は居所】 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内
 【氏名】 牧田 紀久夫
【発明者】
 【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 N E C 化合物デバイス株式会社内
 【氏名】 正野 篤士
【特許出願人】
 【識別番号】 000004237
 【氏名又は名称】 日本電気株式会社
【特許出願人】
 【識別番号】 302000346
 【氏名又は名称】 N E C 化合物デバイス株式会社
【代理人】
 【識別番号】 100123788
 【弁理士】
 【氏名又は名称】 宮崎 昭夫
 【電話番号】 03-3585-1882
【選任した代理人】
 【識別番号】 100088328
 【弁理士】
 【氏名又は名称】 金田 暢之
【選任した代理人】
 【識別番号】 100106297
 【弁理士】
 【氏名又は名称】 伊藤 克博
【選任した代理人】
 【識別番号】 100106138
 【弁理士】
 【氏名又は名称】 石橋 政幸
【手数料の表示】
 【予納台帳番号】 201087
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0304683
 【包括委任状番号】 0304628

【書類名】特許請求の範囲

【請求項 1】

半導体基板上に、少なくとも第一の導電型のバッファ層、光吸収層、第一の導電型の電界緩和層、増倍層、エッチングストッパー層、第二の導電型のバッファ層および第二の導電型のコンタクト層で構成され、

前記増倍層に印加される電界強度よりも前記エッチングストッパー層にかかる電界強度が低いことを特徴とする半導体受光素子。

【請求項 2】

前記光吸収層の不純物が第一の導電型である請求項 1 に記載の半導体受光素子。

【請求項 3】

前記光吸収層の不純物が第二の導電型である請求項 1 に記載の半導体受光素子。

【請求項 4】

前記エッチングストッパー層の耐電界強度は前記増倍層の耐電界強度より低く、前記エッチングストッパー層にかかる電界強度が前記エッチングストッパー層の耐電界強度よりも低いことを特徴とする請求項 1 に記載の半導体受光素子。

【請求項 5】

前記エッチングストッパー層の耐電界強度は前記増倍層の耐電界強度より低く、前記増倍層にかかる電界強度が前記エッチングストッパー層の耐電界強度よりも高いことを特徴とする請求項 1 に記載の半導体受光素子。

【請求項 6】

前記増倍層と前記エッチング層との間に前記増倍層の電界を緩和する第二の導電型の電界緩和層を有することを特徴とする請求項 1 に記載の半導体受光素子。

【請求項 7】

前記増倍層の不純物が第一の導電型である請求項 6 に記載の半導体受光素子。

【請求項 8】

前記増倍層の不純物が第二の導電型である請求項 6 に記載の半導体受光素子。

【請求項 9】

前記増倍層の不純物が第二の導電型で不純物濃度が $1 \times 10^{16} \text{ (cm}^{-3}\text{)}$ 以上であることを特徴とする請求項 1 に記載の半導体受光素子。

【請求項 10】

前記増倍層を形成する元素の比が一定な単層であることを特徴とする請求項 1 に記載の半導体受光素子。

【請求項 11】

前記増倍層が InAlAs からなる層であることを特徴とする請求項 10 に記載の半導体受光素子。

【請求項 12】

前記増倍層の厚さが $0.3 \mu\text{m}$ 以下であることを特徴とする請求項 10 に記載の半導体受光素子。

【請求項 13】

前記エッチングストッパー層が InP または $\text{In}_x\text{Ga}_{(1-x)}\text{As}_y\text{P}_{(1-y)}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) からなる層であることを特徴とする請求項 11 に記載の半導体受光素子。

【請求項 14】

前記増倍層の層厚 ($d \text{ (cm)}$) と第二の導電型の不純物濃度 ($N_d \text{ (cm}^{-3}\text{)}$) と、前記増倍層に印加される電界強度を緩和する電界の大きさ $\Delta E \text{ (kV/cm)}$ とが、 $N_d m \geq k x e_0 x \Delta E m / (q x d m)$ の関係を満たすことを特徴とする請求項 1 に記載の半導体受光素子。

(ここで、 k は、増倍層の比誘電率、 e_0 は、真空の誘電率および q は、電荷素量である)

【請求項 15】

【書類名】明細書

【発明の名称】半導体受光素子

【技術分野】

【0001】

本発明は、半導体受光素子に関し、特にアバランシェ・フォトダイオード (Avalanche Photodiodes: APD) に関する。

【背景技術】

【0002】

次世代光通信システム用の高速・高感度受光素子として、図7に示すプレーナ型超格子アバランシェ・フォトダイオード (以下、APDと略す) が報告されている (特許文献1、非特許文献1)。

【0003】

このような従来型素子は、InAlAs/InAlGaAs超格子増倍層のイオン化率比増大効果で高利得帯域幅積 (GB積 (Gain Band width product)) 化、低雑音化がなされ、且つ安定なInPプレーナpn接合のみを表面に露出する構造とすることにより、高信頼な素子であることが特徴である。

【0004】

より具体的には、層構造は、半導体基板上に第一の導電型のバッファ層、第一の導電型の光吸収層、第一の導電型の電界緩和層、増倍層、エッチングストップ層、第二の導電型のバッファ層及び第二の導電型のコンタクト層から成っている。

【0005】

このような層構造に対して、素子周辺に形成したアイソレーション溝の周辺部分に対して、第一の導電型の不純物を基板表面から拡散させて、その上部表面を第一の導電型の電極とし、第二の導電型の電極は、素子中央表面に形成する。

【0006】

アイソレーション溝の幅は、不純物を拡散する距離と比較して大きく、不純物拡散によりショートすることはない。

【0007】

第一と第二の導電型の電極は互いに、表面よりエッチングストップ層までエッチングにより形成された (形成後、誘電体膜を形成する) アイソレーション溝により分離されダイオードの両電極として機能する。

【0008】

また、このアイソレーション溝の底部に不純物を注入することにより、電界分布を調整し、良好なブレイクダウン特性が得られるようになっている。

【0009】

このようにして作製された素子は、高速・高感度の光・電気変換が可能となるため、光通信の受信機や、光計測用の装置において特に効果的に利用されている。

【特許文献1】特開平7-312442号公報

【非特許文献1】渡辺、他。アイトリプルイー、フォトリソテクノロジーレターズ、第8巻、827-829頁、IEEE, Photonics Technol. Lett., pp. 827-829, vol. 8, 1996

【発明の開示】

【発明が解決しようとする課題】

【0010】

従来技術の構造では、図8に示す様に、増倍層とエッチングストッパー層とに印加される電界強度はほぼ同じになる。

【0011】

従来例で示したプレーナ型構造のAPDでは、超格子構造を増倍層として用い、低電界から増倍することの特徴とする構造を使用している。超格子構造の場合、増倍層に印加される電界は低いために、エッチングストッパー層の耐電界強度を超えることはないので、

暗電流の問題は大きな問題とはなっていない。

【0012】

一方で、より高いGB積の増倍層を得ようとする場合、超格子構造を用いずに、例えば、InAlAsの膜厚の薄い単層の膜を増倍層として用いることでGB積の値を向上させる方法が知られている。

【0013】

エッチングストッパー層に用いる材料としてInPがよく用いられている。理由は、InAlAs、InGaAs、InAlGaAsのような材料に対してエッチング選択比が高くとれることに起因している。一方、InPは、耐電界強度がInAlAs、InAlGaAsに比較して低い。このために、エッチングストッパーとしては好ましい材料であるが、電子増倍層の膜厚を薄くして（電子増倍層に印加する電界強度を高くすることで）GB特性を向上させる場合エッチングストッパー層に、エッチングストッパー層の耐電界強度を越える高い電界強度が印加され、エッチングストッパー層で非常に大きな暗電流が発生し、デバイスの増倍特性を劣化させたり、雑音を増加させたりすることになる。

【0014】

尚、エッチングストッパー層としては、InP以外に、InPと格子整合条件で $\text{In}_x\text{Ga}_{(1-x)}\text{As}_y\text{P}_{(1-y)}$ ($0 \leq x \leq 1.0$, $0 \leq y \leq 1.0$) やAlAsSbを使うこともできる。

【0015】

従って、増倍層の膜厚を薄くすることで、GB積を向上させた増倍層を用いて高感度な半導体受光素子を作製するという手法が適用できないという課題があった。

【課題を解決するための手段】

【0016】

本発明は、半導体基板上に、少なくとも第一の導電型のバッファ層、光吸収層、第一の導電型の電界緩和層、増倍層、エッチングストッパー層、第二の導電型のバッファ層および第二の導電型のコンタクト層で構成され、増倍層に印加される電界強度よりもエッチングストッパー層にかかる電界強度が低いことを特徴とする半導体受光素子である。光吸収層の不純物は、第一の導電型であっても第二の導電型であってもよい。

【0017】

本発明では、エッチングストッパー層の耐電界強度は増倍層の耐電界強度より低く、エッチングストッパー層にかかる電界強度がエッチングストッパー層の耐電界強度よりも低いあるいは増倍層にかかる電界強度がエッチングストッパー層の耐電界強度よりも高いことが好ましい。

【0018】

このために、本発明では、増倍層とエッチング層との間に増倍層の電界を緩和する第二の導電型の電界緩和層を有する、あるいは、増倍層の不純物が第一の導電型あるいは第二の導電型であってよく、不純物が第二の導電型の場合は不純物濃度が $1 \times 10^{16} \text{ (cm}^{-3}\text{)}$ 以上であることがより好ましい。

【0019】

本発明では、増倍層を形成する元素の比が一定な単層であることが好ましく、増倍層がInAlAsからなる層であることがより好ましく、増倍層の厚さが $0.3 \mu\text{m}$ 以下であることがより好ましい。

【0020】

この場合、エッチングストッパー層がInPまたは $\text{In}_x\text{Ga}_{(1-x)}\text{As}_y\text{P}_{(1-y)}$ ($0 \leq x \leq 1.0$, $0 \leq y \leq 1.0$) からなる層であることが好ましい。

【0021】

増倍層に、不純物を添加する場合、増倍層の層厚 ($d_m \text{ (cm)}$) と第二の導電型の不純物濃度 ($N_{dm} \text{ (cm}^{-3}\text{)}$) と、増倍層に印加される電界強度を緩和する電界の大きさ $\Delta E_m \text{ (kV/cm)}$ とが、 $N_{dm} \geq k x e_0 x \Delta E_m / (q x d_m)$ の関係を満たすことが好ましい。

【0022】

電界緩和層を設ける場合、第二の導電型の電界緩和層の層厚 (d_k (cm)) と第2の導電型の不純物濃度 (N_{dk} (cm^{-3})) と、増倍層に印加される電界強度を緩和する電界の大きさ ΔE_k (kV/cm) とが、 $N_{dk} \geq k \times e_0 \times \Delta E_k / (q \times d_k)$ の関係を満たすことが好ましい。

【発明の効果】**【0023】**

エッチングストッパー層にかかる電界を低減する構造を用いることで、より高性能な増倍特性を持つ増倍層 (高い電界で増倍する増倍層) を利用できる。

【0024】

第一の方法を採用することにより、隣接するエッチングストッパー層に印加される電界は、増倍層での最大電界強度より小さくでき、エッチングストッパー層の耐電界強度より低く保持することが可能となる。

【0025】

例えば、増倍層の増倍電界の最大値が 700 (kV/cm) でエッチングストッパー層の耐電界強度が 600 (kV/cm) の場合、増倍層内部においておよそ 100 (kV/cm) 以上の電界の低減があれば、エッチングストッパー層での暗電流低減を図ることが可能である。

【0026】

したがって、増倍層厚みを $0.2 \mu\text{m}$ 、第2導電型の不純物濃度を 5×10^{16} (cm^{-3}) とすることで、エッチングストッパー層での電界強度は 145 (kV/cm) 低減でき、 $700 - 145 = 555$ (kV/cm) となって電界強度として十分耐えられる大きさになっている。

【0027】

これにより、 700 (kV/cm) という高い電界強度をもつ増倍層を用いながら、 600 (kV/cm) の耐電界強度をもつエッチングストッパー層の構造を使用することができる。

【0028】

この高い増倍電界強度の増倍層により、GB積を向上させ、かつ暗電流が従来と同等か、それ以下のレベルの特性をもたせることが可能である。

【0029】

従って、従来よりも高速・高感度なアバランシェ・フォトダイオードを構成することが可能である。

【0030】

又、第二の方法を採用することにより、増倍層に印加されている電界強度から電界緩和層で緩和された大きさの電界がエッチングストッパー層にかかるようになり、エッチングストッパー層の耐える電界強度より大きな増倍電界強度の材料を使えるようになる。

【0031】

例えば、増倍層の増倍電界の最大値が 650 (kV/cm) でエッチングストッパー層の耐電界強度が 550 (kV/cm) の場合、増倍層とエッチングストッパー層の間の第二導電型緩和層において、 100 (kV/cm) 以上の電界緩和機能があれば、エッチングストッパー層で発生する暗電流を抑えることが可能である。

【0032】

第二の導電型の緩和層の厚みを $0.1 \mu\text{m}$ 、不純物濃度を 1×10^{17} (cm^{-3}) とすることで、 145 (kV/cm) の電界緩和量を得ることが可能である。従って、エッチングストッパー層における電界は、 $650 - 145 = 505$ (kV/cm) となり、十分低い電界である。

【0033】

これにより、 650 (kV/cm) という高い電界強度をもつ増倍層を用いながら、 550 (kV/cm) の耐電界強度をもつエッチングストッパー層の構造を使用することが

できる。

【0034】

この高い増倍電界強度の増倍層により、GB積を向上させ、かつ暗電流が従来と同等か、それ以下のレベルの特性をもたせることが可能である。従って、従来よりも高速・高感度且つ低雑音のアバランシェ・フォトダイオードを構成することが可能である。

【0035】

本発明を従来の構造のAPDに採用することもでき、この場合は、エッチングストッパー層に印加される電界強度が緩和されるので、暗電流を更に減らすことができ、特性の改善（低雑音化）がはかれるという効果がある。

【発明を実施するための最良の形態】

【0036】

エッチングストッパー層の耐える電界強度より高い電界を増倍層に印加できるようにするためには、増倍層に印加される電界強度を緩和し、エッチングストッパー層に印加される電界強度を、増倍層に印加される電界強度より低くすることで解決される。これは、下記の方法によって実現できることを本発明者等は見出した。

【0037】

第一の方法は、エッチングストッパー層に隣接する増倍層に第2の導電型の不純物ドーピングを行い、電界を緩和する機能を持たせる方法である。

【0038】

第二の方法は、増倍層は導電型を問わず低濃度の不純物をドーピングした構造で構成し、増倍層とエッチングストッパー層の間に電界緩和の機能を持った第2の導電型の不純物をドーピングした電界緩和層を設ける方法である。

【0039】

第一の方法では、増倍強度の高い増倍層に第2の導電型の不純物ドーピングを行うことで、増倍層内部での電界強度を下げる方法である。

【0040】

この方法を用いることにより、エッチングストッパー層にかかる電界強度を増倍電界強度に比較して必要な量、あるいはそれ以上の範囲で削減できる。

【0041】

この際に、低減したい電界緩和量と増倍層の層厚および不純物濃度との関係は下記の式(1)で表現できる。

【0042】

$$\Delta E_m = q \times d_m \times N_{dm} / (k \times e_0) \cdots (1)$$

ここで、 ΔE_m : 低減したい電界の大きさ (kV/cm)、 q : 電荷素量、 d_m : 増倍層厚 (cm)、 N_{dm} : 増倍層の不純物濃度 (cm⁻³)、 k : 増倍層の比誘電率および e_0 : 真空の誘電率である。

【0043】

仮に厚みが0.2 μmで不純物濃度が2 x 10¹⁶ (cm⁻³)の増倍層を使用すると、式(1)から最大電界からみた電界の低減量 ΔE_m は、約58 (kV/cm)が得られる。

【0044】

このように、電界の低減量は、増倍層の不純物濃度及び厚みを設定して決めることが可能である。

【0045】

第二の方法では、増倍電界強度の高い増倍層とエッチングストッパー層との間に電界緩和層を挿入することである。この方法を用いることにより、エッチングストッパー層にかかる電界強度を増倍層にかかる電界強度に比較して必要な量、あるいはそれ以上の範囲で削減できる。

【0046】

増倍層は、非常に低不純物濃度であれば第一の導電型の不純物であっても第二の導電型の不純物であっても良い。

【0047】

電界緩和層の電界緩和量 ΔE_k は、下記の式 (2) で表現できる。

【0048】

$$\Delta E_k = q \times d_k \times N_{dk} / (k \times e_0) \cdots (2)$$

d_k は、電界緩和層の層厚、 N_{dk} は、電界緩和層の不純物濃度（導電型は、第二の導電型の増倍層と同一導電型である）、 q は、電荷素量および k は、電界緩和層の比誘電率である。

【0049】

例えば、第二の導電型の電界緩和層の厚みと濃度を、 $0.1 \mu\text{m}$ 及び $5 \times 10^{16} (\text{cm}^{-3})$ とした場合、電界緩和量 ΔE_k は、約 $72 (\text{kV}/\text{cm})$ となる。

(第一の実施の形態)

第一の実施の形態について、図1および図2を用いて詳細に説明する。

【0050】

図1は、本実施の形態の概略構造断面を示す。

【0051】

半導体基板 1-1 (導電型を問わない) 上に半導体基板 1-1 に接して順に、第一の導電型のバッファ層 1-2、第一の導電型の光吸収層 1-3、第一の導電型の電界緩和層 1-4、第二の導電型の増倍層 1-5、エッチングストッパー層 1-6、第二の導電型のバッファ層 1-7 および第二の導電型のコンタクト層 1-8 で構成された層構造を形成する。

【0052】

次に、表面に、光吸収層とコンタクト層との電極を設けるために、電極間の分離溝を、表面からエッチングストッパー層の深さまで形成する。その後、絶縁膜となるシリコン酸化膜やシリコン窒化膜のような誘電体膜 1-9 を全面に形成する。尚、誘電体膜は、シリコン酸化膜やシリコン窒化膜以外であっても良い。その後、分離溝の外周囲の光吸収層の電極形成領域の誘電体膜を除去し、第一の導電型の不純物をバッファ層に達するまで拡散し、不純物拡散領域 1-12 を形成し、次に、分離溝の内部のコンタクト層の電極形成領域の誘電体膜を除去する。

【0053】

光吸収層とコンタクト層との電極形成領域に電極 1-11 および 1-12 を形成する。

【0054】

増倍層 1-5 が、分離溝の表面に出てしまうと表面リークが発生し、特性を劣化させてしまうので、エッチングストッパー層 1-6 を、増倍層 1-5 と第二の導電型のバッファ層 1-6 との間に設ける必要がある。

【0055】

III-V 族化合物半導体では、選択エッチングをする場合、エッチングストッパー層は、エッチングストッパー層の上層に形成された層と異なる V 族元素を使用することで、どちらかの層の不純物濃度が高くなった場合でも、高い選択比を得ることができる。

【0056】

エッチングストッパー層 1-6 は、下層を構成する増倍層 1-5 を構成する元素と V 族の元素が異なっていることが好ましい。同じ元素構成であると、下層を構成する増倍層 1-5 と同じ機能を持つてしまうため、下層の増倍層が厚くなった場合と同様な機能を持つことになるからである。

【0057】

尚、第2の実施の形態でも同じであるが、光吸収層は第二の導電型であってもかまわない。

【0058】

各層に印加される電界分布の概略図を図2に示す。本実施の形態では、増倍層の不純物濃度を高くしている。この結果、図2に示されるように、第二の導電型の増倍層が電界を緩和する機能を持ち、増倍層に印加される最大電界強度が緩和され、エッチングストッパ

一層に印加される電界強度は、第二の導電型の増倍層に印加された最大電界強度よりも低い電界が印加される。この為、増倍層の電界の最大強度を従来よりも大きくしても、暗電流が大きくなることはなく、増倍電流の S/N 比の高い増倍特性を得ることが可能である。

【0059】

より具体的には、例えば、材料として $InAlAs$ を用い、層厚が $0.3 \mu m$ の増倍層の場合、増倍層の最大電界はおよそ $600-650 (kV/cm)$ となる。

【0060】

エッチングストッパー層として InP を用いる場合、その耐電界強度は $600 (kV/cm)$ となる。この場合には、増倍層に、約 $50 (kV/cm)$ の電界の低減をしておけば、エッチングストッパー層に印加される電界は耐電界強度以下になる。増倍層で削減できる電界の量 ΔE_m は下記の式 (3) で与えられる。

【0061】

$$\Delta E_m = q \times d_m \times N_{dm} / (k \times \epsilon_0) \cdots (3)$$

ここで、 $q = 1.6 \times 10^{-19} (C)$ 、 $\epsilon_0 = 8.85 \times 10^{-14}$ (真空の誘電率、 cm 表示)、 d_m = 増倍層の層厚 (cm)、 N_{dm} = 増倍層の不純物濃度 (cm^{-3}) および $k = 12.5$ (増倍層の比誘電率) である。

【0062】

増倍層の厚みが $0.3 \mu m$ で第2導電型の不純物濃度が $1.5 \times 10^{16} (cm^{-3})$ の増倍層を使用する場合、式 (3) から、電界の低減量 $\Delta E_m = 65 (kV/cm)$ が得られる。

【0063】

このように、電界の低減量は、増倍層の不純物濃度及び厚みを設定で決めることが可能である。 GB 積を大きくすることが、単層の薄膜増倍層を用いる目的であり、膜厚が $0.3 \mu m$ を越える事が無いとすると、増倍層の不純物濃度は $1.0 \times 10^{16} (cm^{-3})$ 以上が好ましく、 $1.5 \times 10^{16} (cm^{-3})$ であることがより好ましい。 $1 \times 10^{16} (cm^{-3})$ 以上の不純物濃度は、アンドープの場合の不純物濃度である $1 \sim 5 \times 10^{15} (cm^{-3})$ に比べて十分に高不純物濃度である。

【0064】

また、増倍層内部で削減する電界の大きさは、上記の例で記述した場合よりも大きくてもデバイス動作は可能であるので、上記の増倍層の不純物濃度は、 $1.5 \times 10^{16} (cm^{-3})$ より濃い条件であればよい。

【0065】

本発明は、増倍層として高い GB 積を示す薄膜 ($\leq 0.3 \mu m$) 増倍層のような、高い増倍電界強度の増倍層をプレーナ型構造で用いることを可能にすることが主な目的であるので、増倍層の厚みに関してまず決定することが多い。

【0066】

従って、多くの場合、まず増倍層の層厚を決定し、その後、必要な電界削減量に見合った濃度を式から算出して用いることになる。

【0067】

従って、膜厚 d_m を決定したならば、上記の濃度が濃い条件でも許容されるという条件を加えて、下記、式 (4) から不純物濃度を算出できる。

【0068】

$$N_{dm} \geq k \times \epsilon_0 \times \Delta E_m / (q \times d_m) \cdots (4)$$

このような条件を満たす構造において、従来例よりも高い電界の増倍層をプレーナ型 APD に適用し、従来と同等の増倍暗電流であれば、より高い GB 積のデバイス動作を、従来と同等の GB 積であれば、より低い増倍暗電流のデバイスを得ることが可能となる。

(第二の実施の形態)

第二の実施の形態について、図 4 を用いて詳細に説明する。

【0069】

図4は、本実施の形態の概略構造断面を示す。

【0070】

半導体基板（導電型を問わない）2-1上に半導体基板2-1に接して順に、第一の導電型のバッファ層2-2、第一の導電型の光吸収層2-3、第一の導電型の電界緩和層2-4、増倍層2-5-1、第二の導電型の電界緩和層2-5-2、エッチングストッパー層2-6、第二の導電型のバッファ層2-7および第二の導電型のコンタクト層2-8で構成された層構造を形成する。

【0071】

次に、表面に、光吸収層とコンタクト層との電極を設けるために、電極間の分離溝を、表面からエッチングストッパー層の深さまで形成する。その後、絶縁膜となるシリコン酸化膜やシリコン窒化膜のような誘電体膜2-9を全面に形成する。尚、誘電体膜は、シリコン酸化膜やシリコン窒化膜以外であっても良い。その後、分離溝の外周囲の光吸収層の電極形成領域の誘電体膜を除去し、第一の導電型の不純物をバッファ層に達するまで拡散し、不純物拡散領域2-12を形成し、次に、分離溝の内部のコンタクト層の電極形成領域の誘電体膜を除去する。

【0072】

光吸収層とコンタクト層との電極形成領域に電極1-11および1-12を形成する。

【0073】

各層に印加される電界分布の概略図を図5に示す。本実施の形態では、電界を緩和するために、第二の導電型の電界緩和層を設けている。この結果、図5に示されるように、第二の導電型の増倍層に印加された電界が、第二の導電型の電界緩和層により緩和する機能を持ち、増倍層に印加された電界強度が緩和され、エッチングストッパー層に印加される電界強度は、第二の導電型の増倍層に印加された電界強度よりも低い電界が印加される。この為、増倍層の電界の最大強度を従来よりも大きくしても、暗電流が大きくなることはなく、増倍電流のS/N比の高い増倍特性を得ることが可能である。

【0074】

より具体的には、例えば、材料としてInAlAsを用い、層厚が $0.2\mu\text{m}$ の増倍層の場合、増倍層の最大電界はおよそ $650-700\text{ kV/cm}$ となる。

【0075】

エッチングストッパー層としてInPを用いる場合、その耐電界強度は $600(\text{kV/cm})$ となる。この場合には、第2導電型の電界緩和層において $100(\text{kV/cm})$ より大きな電界の緩和をすれば、エッチングストッパー層に印加される電界は耐電界強度以下になる。増倍層で削減できる電界の量 ΔE_k は、次の式(6)で与えられる。

【0076】

$$\Delta E_k = q \times d_k \times N_{dk} / (k \times e_0) \cdots (5)$$

ここで、 $q = 1.6 \times 10^{-19}(\text{C})$ 、 $e_0 = 8.85 \times 10^{-14}$ （真空の誘電率、 cm 表示）、 d_k = 第二導電型の緩和層の層厚（ cm ）、 N_{dk} = 第二導電型の緩和層の不純物濃度（ cm^{-3} ）、 $k = 12.5$ （第2導電型の緩和層の比誘電率）である。

【0077】

例えば、第二導電型の緩和層を、層厚 $0.1\mu\text{m}$ 、不純物濃度 $1 \times 10^{17}(\text{cm}^{-3})$ で形成すると、 $\Delta E_k = 145(\text{kV/cm})$ になり、上記の条件を満たすことが出来る。

【0078】

電界緩和の量は、これ以上の大きさであってもデバイスは機能することから、濃度と層厚の条件は、下記の式(7)で表せる。

【0079】

$$\Delta E_k \leq q \times d_k \times N_{dk} / (k \times e_0) \cdots (6)$$

式(6)の条件を満たす様に作製すれば、エッチングストッパー層での暗電流を低減する効果を得ることが可能である。

【0080】

尚、第1の実施の形態および第2の実施の形態では、従来技術よりもGB積を大きくす

るために増倍層として膜厚の薄い、InAlAsを用いた場合で説明したが、従来の構造の半導体受光素子に本発明を適用することができる。本発明を従来技術に適用すると、エッチングストッパー層に印加される電界強度が減少する。エッチングストッパー層に印加される電界強度が緩和されるので、従来よりも暗電流が減少し、特性の改善（低雑音化）がはかれるという効果がある。

【実施例】

【0081】

（実施例1）

図3に示す様に、n型、p型（もしくはSI（Semi-Insulating：半絶縁性）型）InP半導体基板1-3-1上に、InP、InAlAs、又はInAlGaAsのp型バッファ層1-3-2、InGaAs p型光吸収層1-3-3、p型電界緩和層1-3-4、n型の増倍層1-3-5、エッチングストッパー層1-3-6、n型バッファ層1-3-7およびn型コンタクト層1-3-8を積層した構造に対して、アイソレーションエッチングおよび誘電体パッシベーション（SiNx誘電体層1-3-9）等を施してプレーナ型APDが得られる。

【0082】

n型増倍層1-3-5として、層厚 $0.3\mu\text{m}$ 、不純物濃度 $3 \times 10^{16} (\text{cm}^{-3})$ のInAlAsを用い、エッチングストッパー層1-3-6としては、 $0.1\mu\text{m}$ のInPを、n型バッファ層1-3-7として、層厚 $0.5\mu\text{m}$ 、不純物濃度 $1 \times 10^{18} (\text{cm}^{-3})$ のInAlAsを、n型コンタクト層1-3-8として、層厚 $0.2\mu\text{m}$ 、不純物濃度 $5 \times 10^{18} (\text{cm}^{-3})$ のInGaAsを用いる。

【0083】

尚、p型光吸収層は、n型の光吸収層を用いることもできる。

【0084】

このn型増倍層1-3-5は、 $130 (\text{kV}/\text{cm})$ 電界を降下させる機能を持ち、増倍電界の最大値が $650 (\text{kV}/\text{cm})$ となる動作条件においても、InPエッチングストッパー層1-3-6にかかる電界は $520 (\text{kV}/\text{cm})$ となる。

【0085】

これにより、増倍層が、エッチングストッパー層1-3-6の耐電界強度より高い増倍電界を持つ構造であることと、暗電流の低い構造とを両立させることが可能である。

【0086】

このようにして試作した素子は、ウエハー面内全面に渡って、暗電流が低減された。受光直径 $30\mu\text{m}$ の素子の暗電流を測定したところ、温度 $0 \sim 85 (^{\circ}\text{C})$ の条件下において、暗電流は、 0.9Vb で、 $500 (\text{nA})$ 以下とすることができた。

【0087】

ここで、Vbは、ブレークダウン電圧である。

【0088】

GB積は、 $80 (\text{GHz})$ ($50 (\Omega)$ 負荷時)の利得帯域積を得ることができた。

【0089】

素子信頼性は、 100 万時間以上の寿命が得られると推定される。

【0090】

これらの特性は、特に光通信用の受信機に用いるのに有効である。

【0091】

また、これらの特性を同時に満たすことは、本明細書で提案の構造を用いることで初めて可能となるものである。

（実施例2）

図6に示す様に、n型（もしくはSI型）InP基板2-3-1上にInP又は、InAlAs又はInAlGaAsから成るp型バッファ層2-3-2、InGaAsから成るp型光吸収層2-3-3、p型電界緩和層2-3-4、増倍層2-3-5-1、n型電界緩和層2-3-5-1、エッチングストッパー層2-3-6、n型バッファ層2-

3-7、n型コンタクト層2-3-8を積層した構造に対して、アイソレーションエッチングおよびSiNx誘電体パッシベーション等を施してプレーナ型APDを構成する。

【0092】

増倍層2-3-5-1として、層厚 $0.2\mu\text{m}$ でアンドープのInAlAsを、n型電界緩和層2-3-5-2として、層厚 $0.1\mu\text{m}$ 、濃度 $1 \times 10^{17} (\text{cm}^{-3})$ のInAlAsを、エッチングストッパー層2-3-6として、 $0.1\mu\text{m}$ のInPを、n型バッファ層2-3-7としては、層厚 $0.5\mu\text{m}$ 、濃度 $1 \times 10^{18} (\text{cm}^{-3})$ のInAlAs、n型コンタクト層2-3-7として、層厚 $0.2\mu\text{m}$ 、濃度 $5 \times 10^{18} (\text{cm}^{-3})$ のInGaAsを用いる。

【0093】

このn型電界緩和層は、 $145 (\text{kV}/\text{cm})$ 電界を降下させる機能を持ち、増倍電界の最大値が $700 (\text{kV}/\text{cm})$ となる動作条件においても、InPエッチングストッパー層にかかる電界は $555 (\text{kV}/\text{cm})$ となる。

【0094】

これにより、エッチングストッパー層の耐電界強度より高い増倍電界を持つ構造であることと、暗電流の低い構造とを両立させることが可能である。

【0095】

このようにして試作した素子は、ウエハー面内全面に渡って、暗電流が低減された。受光直径 $30\mu\text{m}$ の素子の暗電流を測定したところ、温度 $0 \sim 85 (^{\circ}\text{C})$ の条件下において、 0.9Vb での値が $500 (\text{nA})$ 以下を得ることができた。
Vbはブレイクダウン電圧である。

【0096】

GB積は、 $85 (\text{GHz}) (50 (\Omega) \text{ 負荷時})$ の利得帯域積を得ることができた。

【0097】

素子信頼性は、 100 万時間以上が推定される。

【0098】

これらの特性は、特に光通信の光受信機に用いるのに有効である。

【0099】

また、これらの特性を同時に満たすことは、本明細書で提案の構造を用いることで初めて可能となるものである。

【図面の簡単な説明】

【0100】

【図1】第一の実施の形態の説明図(1)

【図2】第一の実施の形態の説明図(2)

【図3】実施例1の説明図

【図4】第二の実施の形態の説明図(1)

【図5】第二の実施の形態の説明図(2)

【図6】実施例2の説明図

【図7】背景技術の説明図(1)

【図8】背景技術の説明図(2)

【符号の説明】

【0101】

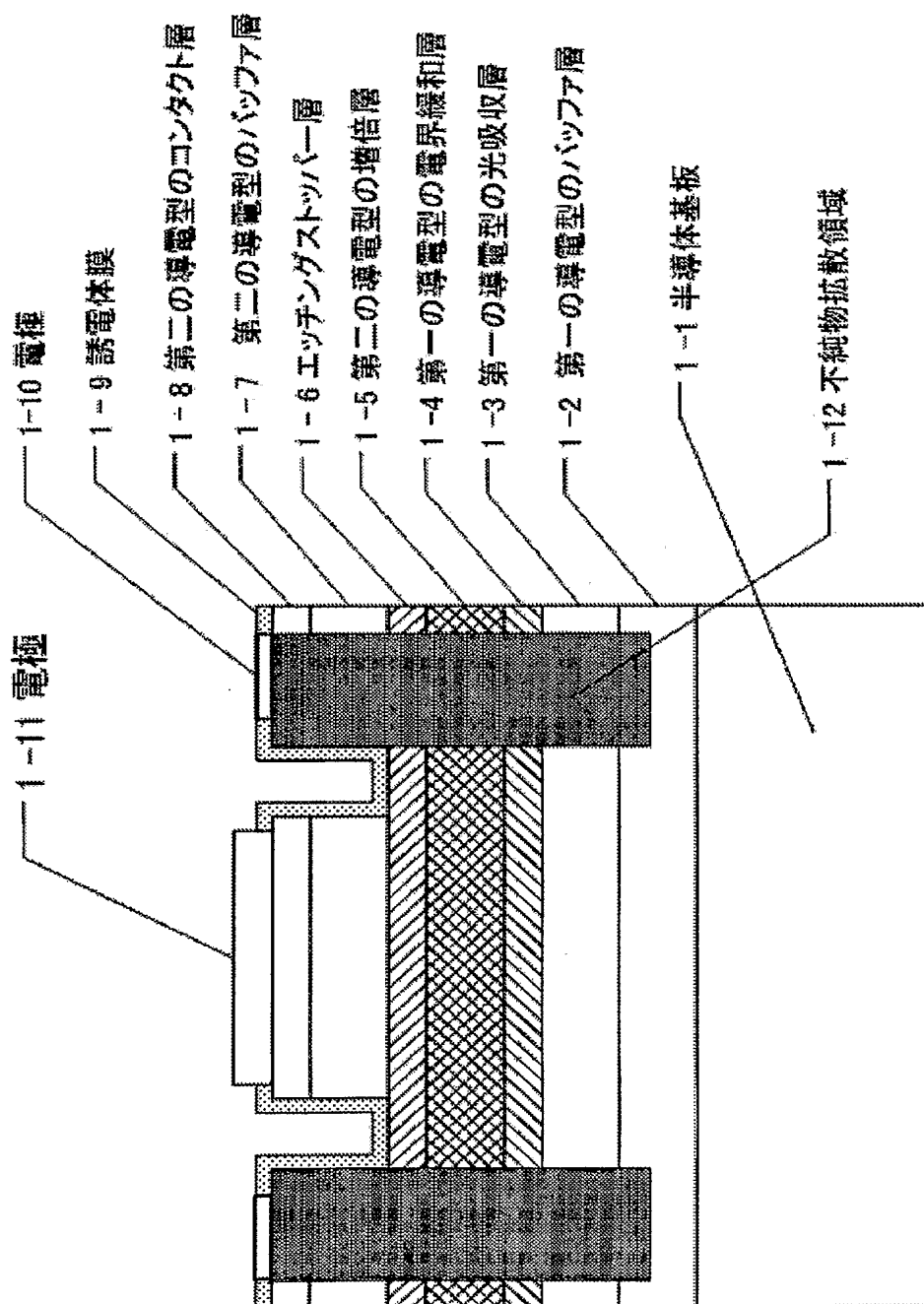
- 1-1 半導体基板
- 1-2 第一の導電型のバッファ層
- 1-3 第一の導電型の光吸収層
- 1-4 第一の導電型の電界緩和層
- 1-5 第二の導電型の増倍層
- 1-6 エッチングストッパー層
- 1-7 第二の導電型のバッファ層
- 1-8 第二の導電型のコンタクト層

- 1-9 誘電体膜
- 1-10 電極
- 1-11 電極
- 1-12 不純物拡散領域
- 1-1-1 エッチングストッパー層の耐電界強度
- 1-1-2 ΔE
- 1-1-3 電界分布の線
- 1-3-1 I n P 半導体基板
- 1-3-2 p 型バッファ層
- 1-3-3 p 型光吸収層
- 1-3-4 p 型電界緩和層
- 1-3-5 n 型増倍層
- 1-3-6 エッチングストッパー層
- 1-3-7 n 型バッファ層
- 1-3-8 n 型コンタクト層
- 1-3-9 S i N x 誘電体膜
- 1-3-10 p 電極
- 1-3-11 n 電極
- 1-3-12 Z n 拡散領域
- 2-1 半導体基板
- 2-2 第一の導電型のバッファ層
- 2-3 第一の導電型の光吸収層
- 2-4 第一の導電型の電界緩和層
- 2-5-1 増倍層
- 2-5-2 第2の導電型の電界緩和層
- 2-6 エッチングストッパー層
- 2-7 第二の導電型のバッファ層
- 2-8 第二の導電型のコンタクト層
- 2-9 誘電体膜
- 2-10 電極
- 2-11 電極
- 2-12 不純物拡散領域
- 2-2-1 エッチングストッパー層の耐電界強度
- 2-2-2 ΔE
- 2-2-3 電界分布の線
- 2-3-1 半導体基板
- 2-3-2 p 型バッファ層
- 2-3-3 p 型光吸収層
- 2-3-4 p 型電界緩和層
- 2-3-5-1 増倍層
- 2-3-5-2 n 型電界緩和層
- 2-3-6 エッチングストッパー層
- 2-3-7 n 型バッファ層
- 2-3-8 n 型コンタクト層
- 2-3-9 S i N x 誘電体膜
- 2-3-10 p 電極
- 2-3-11 n 電極
- 2-3-12 Z n 拡散領域
- 3-1 半導体基板
- 3-2 第一の導電型のバッファ層

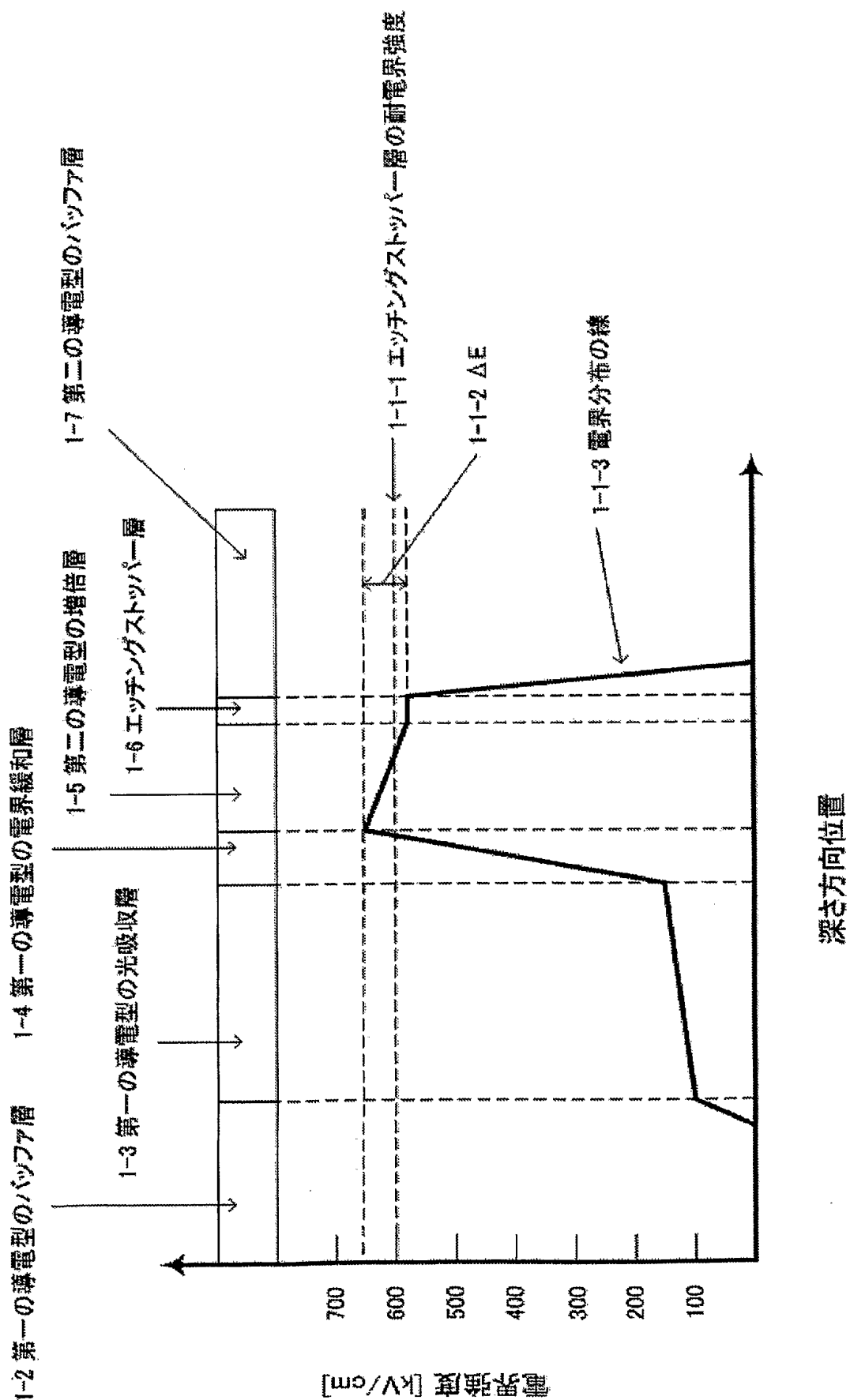
- 3 - 3 第一の導電型の光吸収層
- 3 - 4 第一の導電型の電界緩和層
- 3 - 5 増倍層
- 3 - 6 エッチングストッパー層
- 3 - 7 第二の導電型のバッファ層
- 3 - 8 第二の導電型のコンタクト層
- 3 - 9 誘電体膜
- 3 - 1 0 電極
- 3 - 1 1 電極
- 3 - 1 2 不純物拡散領域
- 3 - 2 - 1 エッチングストッパー層の耐電界強度
- 3 - 2 - 2 電界分布の線

【書類名】 図面

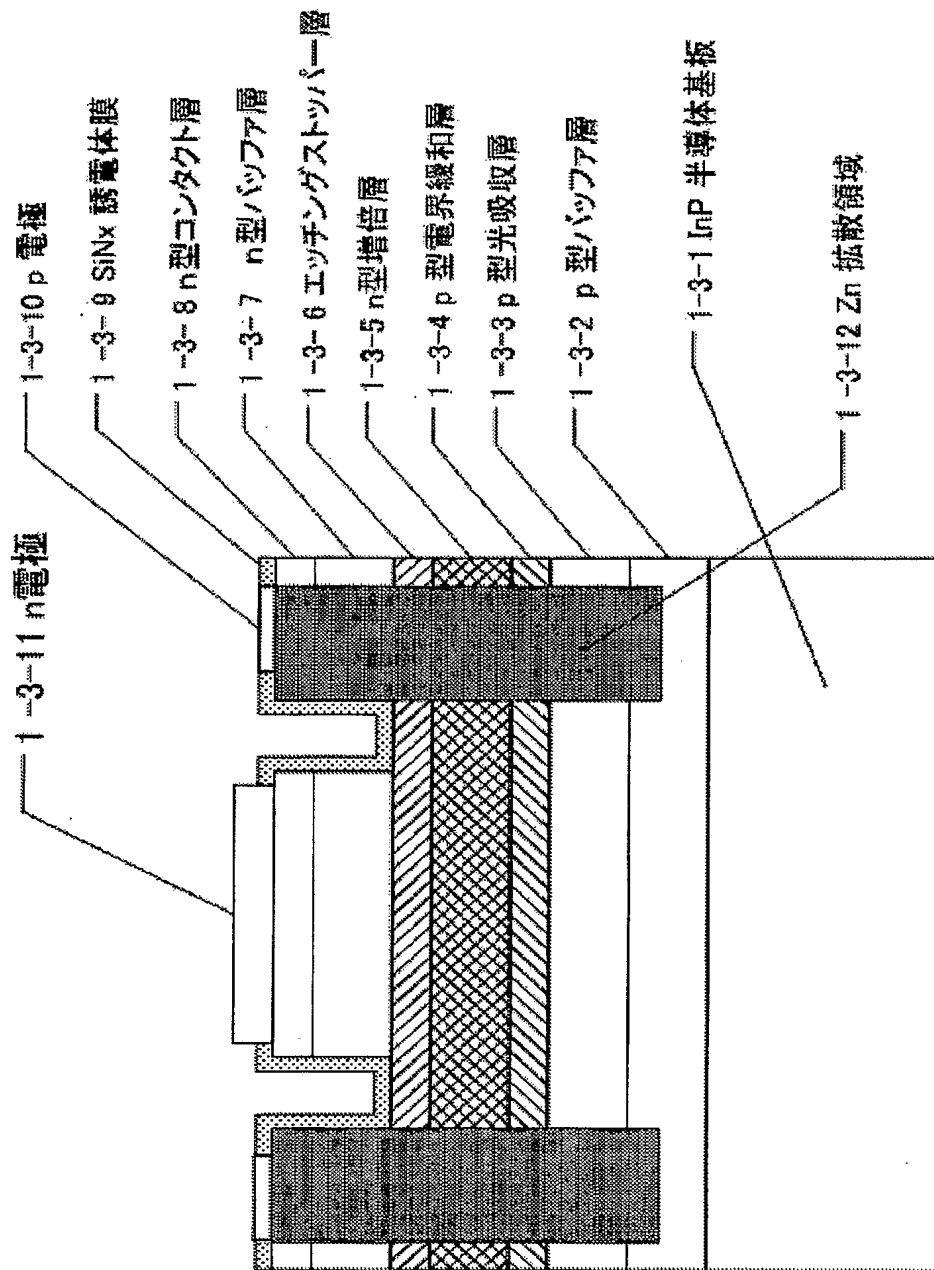
【図 1】



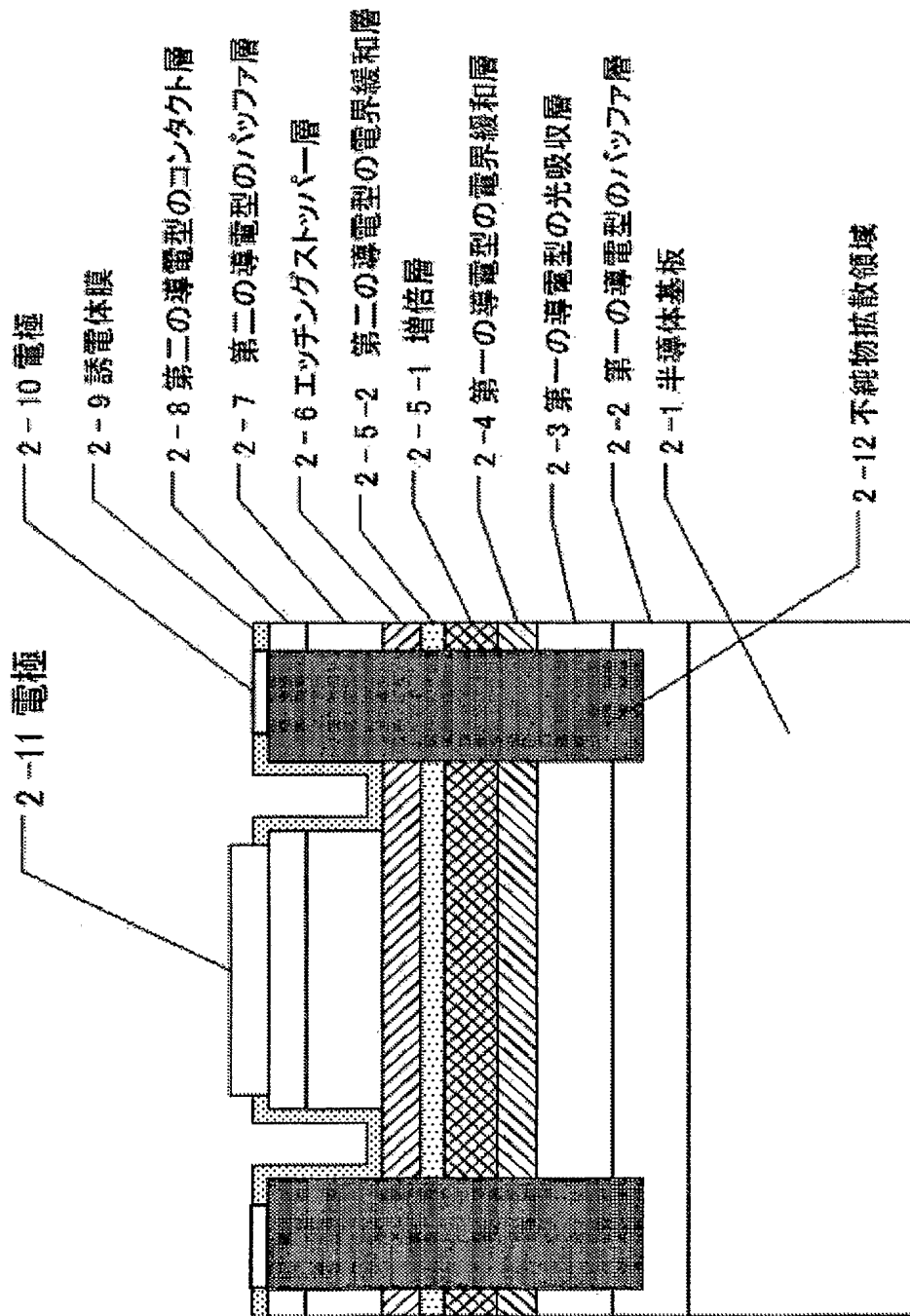
【図 2】



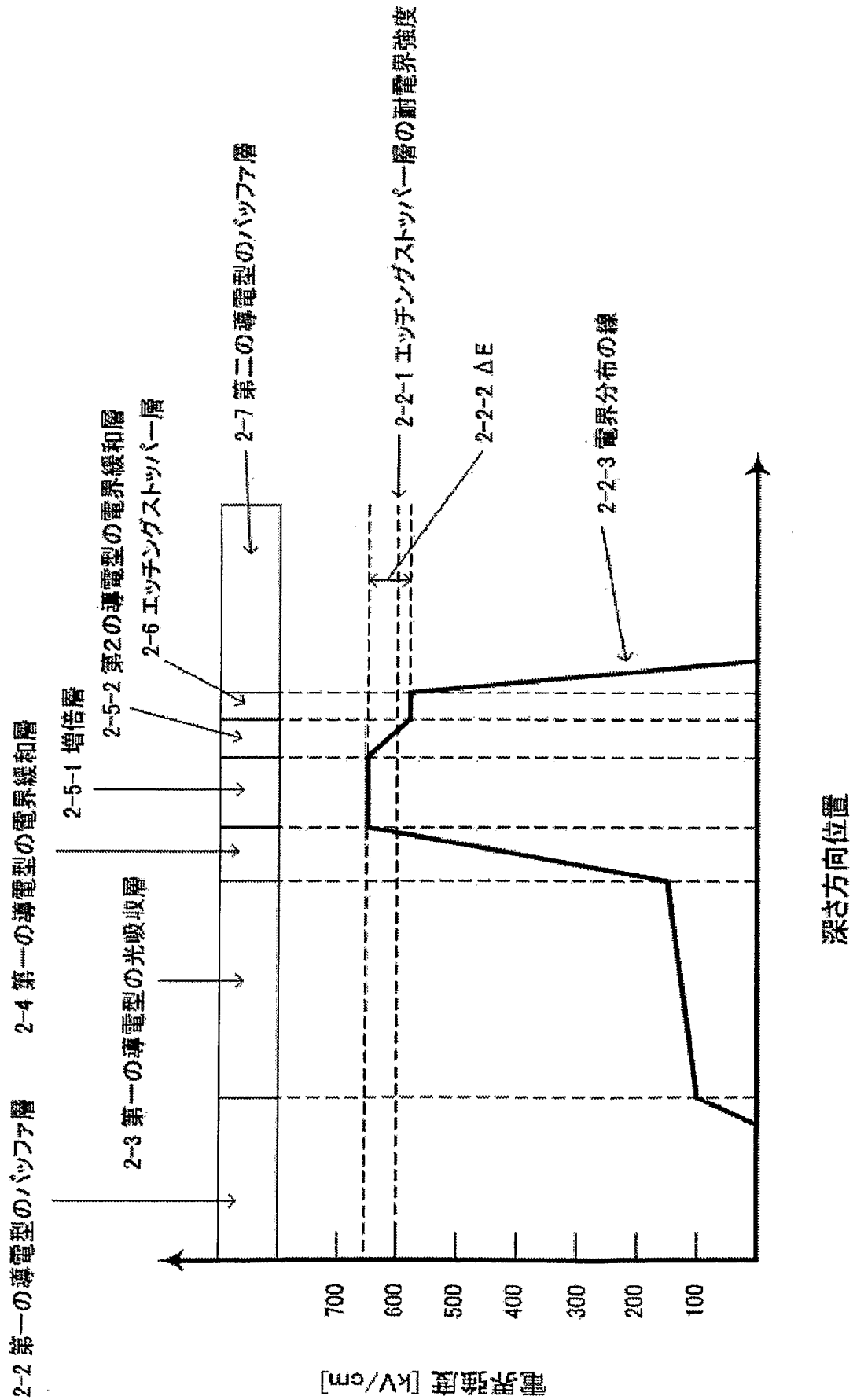
【図 3】



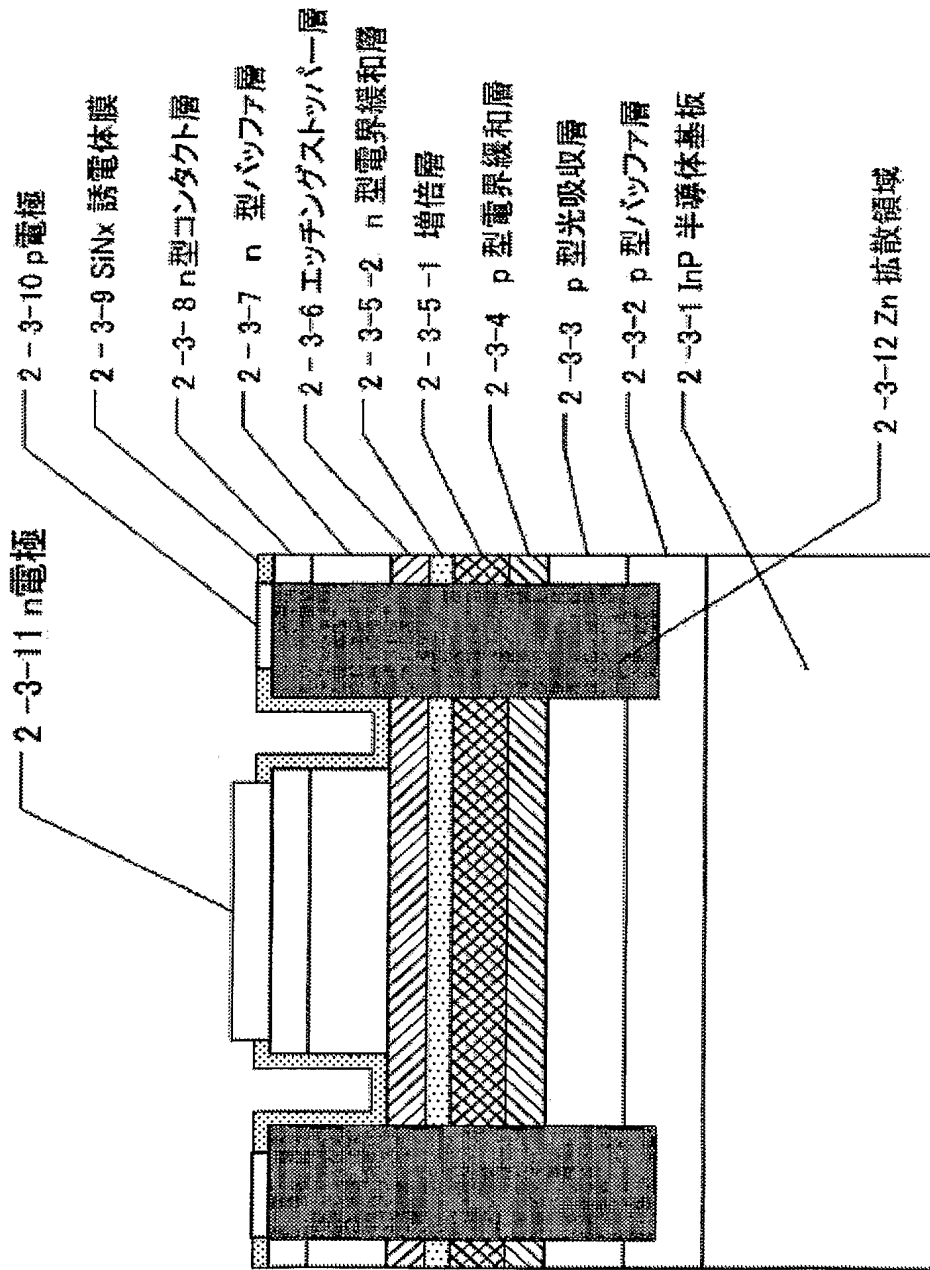
【図 4】



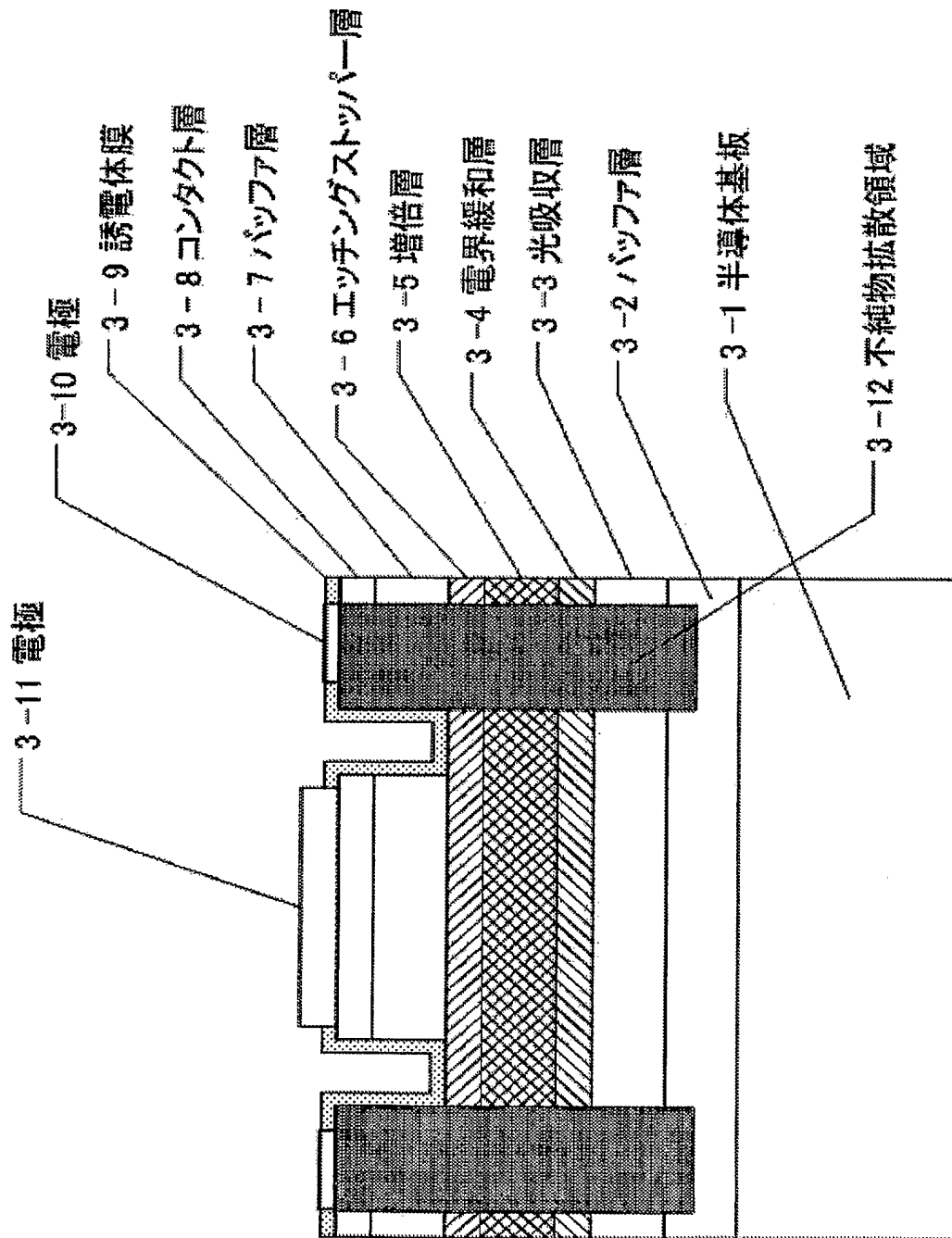
【図 5】



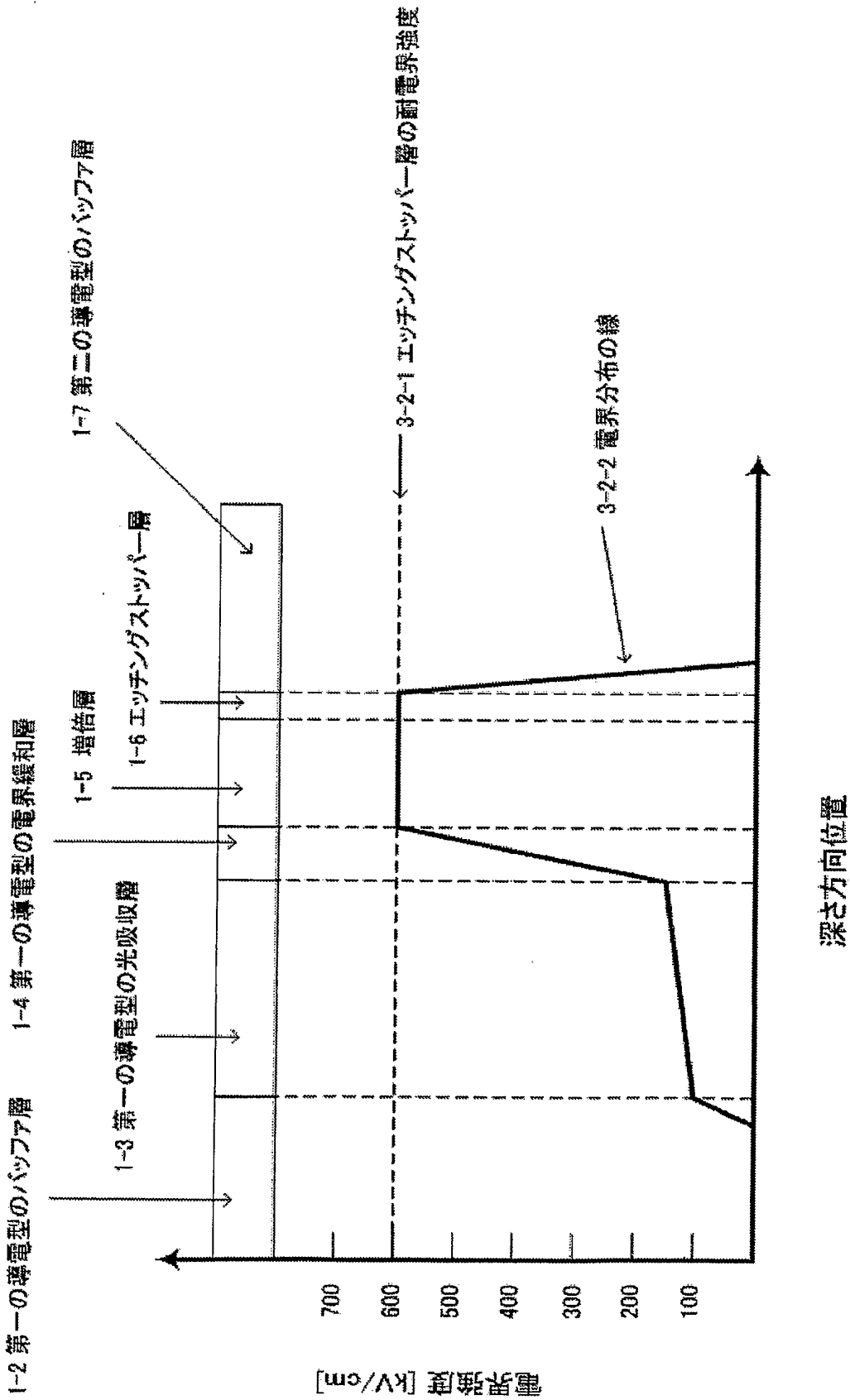
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 半導体受光素子（アバランシェ・フォトダイオード）において、高性能な増倍特性を持つ増倍層を組み込んで、高感度な素子を得る。

【解決手段】 エッチングストッパー層にかかる電界を低減する構造を用いることで、より高性能な増倍特性を持つ増倍層（高い電界で増倍する増倍層）を利用できる。これを実現する第一の方法は、導電型の増倍層を用いることである。第2の方法は、第2の導電型の電界緩和層を組み込んだ構造とすることである。これらにより、増倍電界より低い電界をエッチングストッパー層に印加するような構造とする。

【選択図】 図2

特願 2 0 0 4 - 0 3 6 7 2 3

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 4 2 3 7]

1. 変更年月日	1 9 9 0 年 8 月 2 9 日
[変更理由]	新規登録
住 所	東京都港区芝五丁目 7 番 1 号
氏 名	日本電気株式会社

特願 2 0 0 4 - 0 3 6 7 2 3

出 願 人 履 歴 情 報

識別番号

[3 0 2 0 0 0 3 4 6]

1. 変更年月日
[変更理由]

2 0 0 2 年 1 2 月 2 5 日

名称変更

住 所

神奈川県川崎市中原区下沼部 1 7 5 3

氏 名

N E C 化合物デバイス株式会社